

**Prioritätsbescheinigung über die Einreichung  
einer Patentanmeldung**

**Aktenzeichen:** 102 28 942.5  
**Anmeldetag:** 28. Juni 2002  
**Anmelder/Inhaber:** Philips Corporate Intellectual Property GmbH,  
Hamburg/DE  
**Bezeichnung:** Verfahren und Schaltungsanordnung zur Sigma-  
Delta-Wandlung mit reduzierten Leerlauf-tönen  
**IPC:** H 03 M 3/02

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 20. März 2003  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

Wallner

**PRIORITY  
DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

**BEST AVAILABLE COPY**



## BESCHREIBUNG

Schaltungsanordnung und Verfahren zur Sigma-Delta-Wandlung mit reduzierten Leerlauf-tönen

Die vorliegende Erfindung liegt auf dem Gebiet der Analog-Digital-(AD-)Wandler und betrifft eine Schaltungsanordnung mit einem Sigma-Delta-Wandler und ein Verfahren zur Sigma-Delta-Wandlung, bei welchen Leerlauf-töne reduziert sind.

Ein Sigma-Delta-Wandler (auch Sigma-Delta-Modulator oder Oversampling-Wandler genannt) ist ein AD-Wandler, der ein beliebiges, bandbegrenztes analoges Eingangssignal in ein digitales 1-bit-Ausgangssignal wandelt. Das Ausgangssignal wird dabei durch das Eingangssignal in der Pulsdichte moduliert. Sigma-Delta-Wandler arbeiten präziser als Multibitwandler. Sie werden heutzutage in den meisten Audiogeräten eingesetzt, wie z. B. Mobiltelefonen, CD-Spielern etc.

- Das in Figur 1 dargestellte Schaltschema zeigt ein Beispiel eines aus der Audiotechnik bekannten Sigma-Delta-Wandlers 2. Grundsätzlich ist ein Sigma-Delta-Wandler 2 ein rückgekoppeltes System mit einer Eingangsleitung 21 für ein zu wandelndes analoges Eingangssignal (Nutzsignal), die in ein Schleifenfilter 22 mündet, einem dem Schleifenfilter 22 nachgeschalteten Quantor 23, einer aus dem Quantor 23 führenden Ausgangsleitung 24 für das digitale Ausgangssignal und einer mit einem Digital-Analog-(DA-)Wandler 26 versehenen Rückkopplung 25. Das Schleifenfilter 22 ist im einfachsten Fall ein Integrator; im hier gezeigten Beispiel ist es ein Filter 4. Ordnung, um eine höhere Auflösung zu erreichen. Es können mehrere Schleifenfilter vorhanden sein; ihre Anzahl ergibt die Ordnung des Sigma-Delta-Wandlers 2. Der Sigma-Delta-Wandler 2 hat bspw. vier Transkonduktanz-Stufen, wobei in jeder Stufe die Eingangsspannung in einen Strom umgewandelt und die Ströme am Eingang des Quantors 23 summiert werden. Der Quantor 23 ist bspw. als Komparator ausgebildet und wird mit einer Trägerfrequenz getaktet, die viel höher sein muss als die maximale Frequenz des Nutzsignals. Das Ausgangssignal wird im 1-bit-DA-Wandler 26 in ein analoges Signal umgewandelt und durch die Rückkopplung 25 mit negativem Vorzeichen in das Schleifenfilter 22 zurückgeführt.

Bei niedrigem, konstantem oder einem sich nur langsam verändernden Eingangssignal können Sigma-Delta-Wandler 2 prinzipbedingte Fehler verursachen, die Leerlaufföne (idle tones) oder Leerlaufrauschen (idle noise) genannt werden. Diese Störungen sind für das menschliche Ohr durchaus hörbar und deshalb unerwünscht.

Zur Reduktion der Leerlaufföne ist es aus dem Stand der Technik bekannt, das Eingangssignal mit einem stochastischen Zittersignal (dither) zu überlagern, um zu verhindern, dass kurzzeitig ein periodisches Verhalten am Ausgang des Komparators 23 auftritt, ohne dass solche Periodizitäten im Eingangssignal vorhanden wären. Dies wird z. B. in der US-5,144,308 offenbart. Eine Zittersignalleitung 27 gemäss dieser Lehre ist auch in Figur 1 eingezeichnet. Sie mündet in den Komparator 23 und kann zusammen mit den aus dem Schleifenfilter 22 kommenden Signalen summiert werden. Zur Erzeugung des Zittersignals muss in der Schaltung ein (nicht eingezeichneter) Zufalls-Zittersignalgenerator vorgesehen sein. Der Zufalls-Zittersignalgenerator ist ein zusätzliches, komplexes Element in der Schaltung; er braucht Platz, macht die Schaltung komplexer und verursacht letztlich höhere Kosten.

Es ist deshalb eine Aufgabe der Erfindung, eine Schaltungsanordnung mit einem Sigma-Delta-Wandler und ein Verfahren zur Sigma-Delta-Wandlung anzugeben, in welchen Leerlaufföne reduziert sind, welche aber zugleich die obigen Nachteile nicht aufweisen und insbesondere weniger komplex und kostengünstiger sind als die aus dem Stand der Technik bekannten Lösungen.

Diese und andere Aufgaben werden durch die Schaltungsanordnung und das Verfahren, wie sie in den unabhängigen Patentansprüchen definiert sind, gelöst. Vorteilhafte Ausführungsformen sind in den abhängigen Ansprüchen angegeben.

Die Erfindung basiert auf der Idee, auf den komplexen Zittersignalgenerator zu verzichten, dafür aber als Zittersignal ein in der Schaltung zur Verfügung stehendes, nicht eigens zu diesem Zweck erzeugtes Signal zu verwenden. Solche geeignete Signale sind in der Schaltungsanordnung vorhanden. Vorzugsweise wird als Zittersignal ein Ausgangssignal eines

zweiten Sigma-Delta-Wandlers oder ein Eingangssignal eines Finite-impulse-response (FIR) Digital-Analog-Wandlers verwendet. Es eignen sich aber auch andere Signale, die breitbandiges Rauschen und keine hochfrequenten Töne oder Wiederholungen enthalten; vorzugsweise wird ein rauschgeformtes Signal verwendet. Die erfindungsgemässe Schaltungsanordnung ist somit einfacher und kostengünstiger als herkömmliche Schaltungsanordnungen, ohne Abstriche bei der Reduktion der Leerlautöne.

Entsprechend beinhaltet bei der erfindungsgemässen Schaltungsanordnung mit einem Sigma-Delta-Wandler zur Wandlung eines analogen Eingangssignals in ein digitales Ausgangssignal der Sigma-Delta-Wandler ein Schleifenfilter mit einem Filtereingang, an welchem eine Eingangsleitung für das Eingangssignal anliegt, und einem Filterausgang, einen Quantor mit einem Quantoreingang, welcher mit dem Filterausgang verbunden ist, und einem Quantorausgang, an welchem eine Ausgangsleitung für das Ausgangssignal anliegt, sowie eine Rückkopplungsschleife zur Rückführung des Ausgangssignals zum Eingangssignal. Die Schaltungsanordnung weist eine Zittersignalleitung, welche geeignet ist, an den Quantoreingang zusätzlich ein in der Schaltung zur Verfügung stehendes, nicht eigens zu diesem Zweck erzeugtes Signal als Zittersignal anzulegen, auf.

Das erfindungsgemässe Verfahren zur Sigma-Delta-Wandlung eines analogen Eingangssignals in ein digitales Ausgangssignal beinhaltet die folgenden Verfahrensschritte:

- (a) Filterung des Eingangssignals, wodurch ein Filtersignal entsteht,
- (b) Addition des Filtersignals und eines Zittersignals, wodurch ein Summensignal entsteht, wobei als Zittersignal ein in der Schaltung zur Verfügung stehendes, nicht eigens zu diesem Zweck erzeugtes Signal verwendet wird,
- (c) Quantierung des Summensignals, wodurch das Ausgangssignal entsteht, und
- (d) Rückkopplung des Ausgangssignals zum Eingangssignal.

Nachfolgend werden bevorzugte Ausführungsformen der Erfindung und der Stand der Technik anhand der Zeichnungen detailliert erläutert. Dabei zeigen:

Figur 1 ein Blockdiagramm eines Sigma-Delta-Wandlers, wie er auch aus dem Stand der Technik bekannt ist,

Figur 2 ein Blockdiagramm einer ersten Ausführungsform der erfindungsgemässen Schaltung und

Figur 3 ein Blockdiagramm einer zweiten Ausführungsform der erfindungsgemässen Schaltung.

Die Schaltungen von Figuren 2 und 3 beziehen sich auf ein Anwendungsbeispiel aus der Audiotechnik und können bspw. in einem Mobiltelefon verwendet werden. Es handelt sich um eine Kodier-/Dekodier-(codec-)Architektur für das Sprechband mit zwei Pfaden 10, 10'. Jeder Pfad 10, 10' weist einen Eingangskanal 11, 11' mit einem AD-Wandler 2, 2' und einen Ausgangskanal 12, 12' mit einem DA-Wandler 5, 5' auf. Die Kanäle 11, 11', 12, 12' haben jeweils eine positive und eine negative Eingangs- bzw. Ausgangsleitung, die differenziell betrieben werden. Der Eingangskanal 11 des ersten Pfades 10 ist mit einem (nicht eingezeichneten) Mikrofon verbunden, der Ausgangskanal 12 des ersten Pfades 10 mit einem (nicht eingezeichneten) Lautsprecher. Der zweite Pfad 10' ist mit einer (nicht eingezeichneten) Telefonleitung verbunden.

In den Figuren 2 und 3 bezeichnet:

- AIP1 die positive analoge Eingangsleitung des ersten Pfades 10
- AIN1 die negative analoge Eingangsleitung des ersten Pfades 10
- AOP1 die positive analoge Ausgangsleitung des ersten Pfades 10
- AON1 die negative analoge Ausgangsleitung des ersten Pfades 10
- AIP2 die positive analoge Eingangsleitung des zweiten Pfades 10'
- AIN2 die negative analoge Eingangsleitung des zweiten Pfades 10'
- AOP2 die positive analoge Ausgangsleitung des zweiten Pfades 10'
- AON2 die negative analoge Ausgangsleitung des zweiten Pfades 10'

- AMP einen Verstärker (amplifier) 1, 1'
- ATC den Sigma-Delta-Wandler (analog transmit converter) 2, 2'
- DDF ein digitales Dezimationsfilter (digital decimation filter) 3, 3', d. h. ein Tiefpassfilter, in welchem die Abtastfrequenz reduziert und die Auflösung in bit vergrössert wird (z. B. 1 bit @ 1 MHz nach 16 bit @ 32 kHz)
- DNS einen digitalen Rauschformer (digital noise shaper) 4, 4'
- ARD einen analogen DA-Wandler (analog receive DA converter) 5, 5', vorzugsweise einen Finite-impulse-response (FIR) Digital-Analog-Wandler
- ASB einen ARM-System-Bus, d. h. einen digitalen Kommunikations-Bus 7
- 10 ARM einen Prozessor (advanced RISC machine) 8

Der Prozessor 8 steuert über den Bus 7 die AD-Wandler 2, 2' und DA-Wandler 5, 5'. Er filtert die verschiedenen Signale und verbindet sie miteinander. Zwischen dem Bus 7 und den Wandlern 2, 2', 5, 5' ist eine Puffer- und Schnittstelleneinheit 6 eingefügt.

15

Gemäss einer ersten, in Figur 2 dargestellten Ausführungsform der Erfindung wird als Zittersignal, welches für den ersten Sigma-Delta-Wandler 2 benötigt wird, das Ausgangssignal des zweiten Sigma-Delta-Wandlers 2' verwendet. Das Zittersignal wird am Ausgang des zweiten Sigma-Delta-Wandlers 2' abgezweigt und über eine erste Zittersignalleitung 20 27.1 dem Komparator des ersten Sigma-Delta-Wandlers 2 zugeführt. Wahlweise kann vor dem Komparator die Frequenz des Signals verringert, bspw. durch zwei oder vier geteilt, werden. Umgekehrt kann natürlich auch als Zittersignal, welches für den zweiten Sigma-Delta-Wandler 2' benötigt wird, das Ausgangssignal des ersten Sigma-Delta-Wandlers 2 verwendet werden, wozu eine zweite Zittersignalleitung 27.2 vorhanden ist. Voraussetzung 25 für die Realisierung dieser Ausführungsform ist es natürlich, dass die Schaltungsanordnung mindestens zwei Sigma-Delta-Wandler 2, 2' enthält.

30

Gemäss einer zweiten, in Figur 3 dargestellten Ausführungsform der Erfindung wird als Zittersignal, welches für einen in einem Eingangskanal 11 eines Pfades 10 liegenden Sigma-Delta-Wandler 2 benötigt wird, ein Eingangssignal des Finite-impulse-response (FIR) Digital-Analog-Wandlers 5 im Ausgangskanal 12 desselben Pfades 10 verwendet. Vorzugsweise wird dieses Signal vorgängig, bspw. mittels eines digitalen Rauschformfilters

4. rauschgeformt. Es können nur hochfrequente Anteile oder das gesamte Signal als Zittersignal verwendet werden. Das Zittersignal wird am Eingang des FIR Digital-Analog-Wandlers 5 abgezweigt und über eine dritte Zittersignalleitung 27.3 dem Komparator des Sigma-Delta-Wandlers 2 zugeführt. Eventuell im Zittersignal vorhandene tieffrequente
- 5 Signalanteile stören nicht, weil der Komparatoreingang des Sigma-Delta-Wandlers 2 eine Hochpassfunktion hat und solche Anteile aus dem Zittersignal herausfiltert. In analoger Weise können weitere Sigma-Delta-Wandler 2' in der Schaltungsanordnung über weitere Zittersignalleitungen 27.4 mit einem Zittersignal versorgt werden. Bei dieser zweiten Ausführungsform ist es – im Gegensatz zur ersten Ausführungsform – nicht nötig, dass
- 10 mehrere Sigma-Delta-Wandler in der Schaltungsanordnung vorhanden sind.

Dank der Erfindung können Schaltungsanordnungen, insbesondere für die Audiotechnik, mit einem Sigma-Delta-Wandler realisiert werden, in welchen Leerlauföne reduziert sind, welche aber eine niedrige Komplexität aufweisen und kostengünstig sind.

PATENTANSPRÜCHE

1. Schaltungsanordnung mit einem Sigma-Delta-Wandler (2) zur Wandlung eines analogen Eingangssignals in ein digitales Ausgangssignal, wobei der Sigma-Delta-Wandler (2)
- 5 ein Schleifenfilter (22) mit einem Filtereingang, an welchem eine Eingangsleitung (21) für das Eingangssignal anliegt, und einem Filterausgang, einen Quantor (23) mit einem Quantoreingang, welcher mit dem Filterausgang verbunden ist, und einem Quantorausgang, an welchem eine Ausgangsleitung (24) für das Ausgangssignal anliegt, sowie
- 10 eine Rückkopplungsschleife (25) zur Rückführung des Ausgangssignals zum Eingangssignal beinhaltet, und
- die Schaltungsanordnung eine Zittersignalleitung (27), welche geeignet ist, an den Quantoreingang zusätzlich ein in der Schaltung zur Verfügung stehendes, nicht eigens zu diesem Zweck erzeugtes Signal als Zittersignal anzulegen, aufweist.
- 15 2. Schaltungsanordnung nach Anspruch 1, wobei die Schaltungsanordnung einen zweiten Sigma-Delta-Wandler (2') mit einer zweiten Ausgangsleitung (24') beinhaltet und die Zittersignalleitung (27.1) die zweite Ausgangsleitung (24') mit dem Quantoreingang des ersten Sigma-Delta-Wandlers (2) verbindet.
- 20 3. Schaltungsanordnung nach Anspruch 1, wobei die Schaltungsanordnung einen FIR Digital-Analog-Wandler (5), vorzugsweise einen FIR Digital-Analog-Wandler, enthält und die Zittersignalleitung (27.3) eine Eingangsleitung des Digital-Analog-Wandlers (5) mit dem Quantoreingang des ersten Sigma-Delta-Wandlers (2) verbindet.



4. Schaltungsanordnung nach einem der vorangehenden Ansprüche, wobei die Schaltungsanordnung Mittel (4) zur Rauschformung aufweist, welche der Zittersignalleitung (27.3) vorangeschaltet sind.
- 5 5. Schaltungsanordnung nach einem der vorangehenden Ansprüche, wobei der Quantor (23) einen Komparator beinhaltet.
6. Schaltungsanordnung nach einem der vorangehenden Ansprüche, wobei die Rückkopplungsschleife (25) einen Digital-Analog-Wandler (26) beinhaltet.
- 10 7. Verfahren zur Sigma-Delta-Wandlung eines analogen Eingangssignals in ein digitales Ausgangssignal, beinhaltend die folgenden Verfahrensschritte:
- (a) Filterung des Eingangssignals, wodurch ein Filtersignal entsteht,
  - (b) Addition des Filtersignals und eines Zittersignals, wodurch ein Summensignal entsteht,
  - 15 wobei als Zittersignal ein in der Schaltung zur Verfügung stehendes, nicht eigens zu diesem Zweck erzeugtes Signal verwendet wird,
  - (c) Quantierung des Summensignals, wodurch das Ausgangssignal entsteht, und
  - (d) Rückkopplung des Ausgangssignals zum Eingangssignal.
- 20 8. Verfahren nach Anspruch 7, wobei als Zittersignal ein durch Sigma-Delta-Wandlung eines anderen Eingangssignals gewonnenes Ausgangssignal verwendet wird.
9. Verfahren nach Anspruch 7, wobei als Zittersignal ein Eingangssignal eines Digital-Analog-Wandlers (5), vorzugsweise eines FIR Digital-Analog-Wandlers, verwendet wird.
- 25 10. Verfahren nach einem der Ansprüche 7-9, wobei als Zittersignal ein Signal mit breitbandigem Rauschen, vorzugsweise ein rauschgeformtes Signal, verwendet wird.

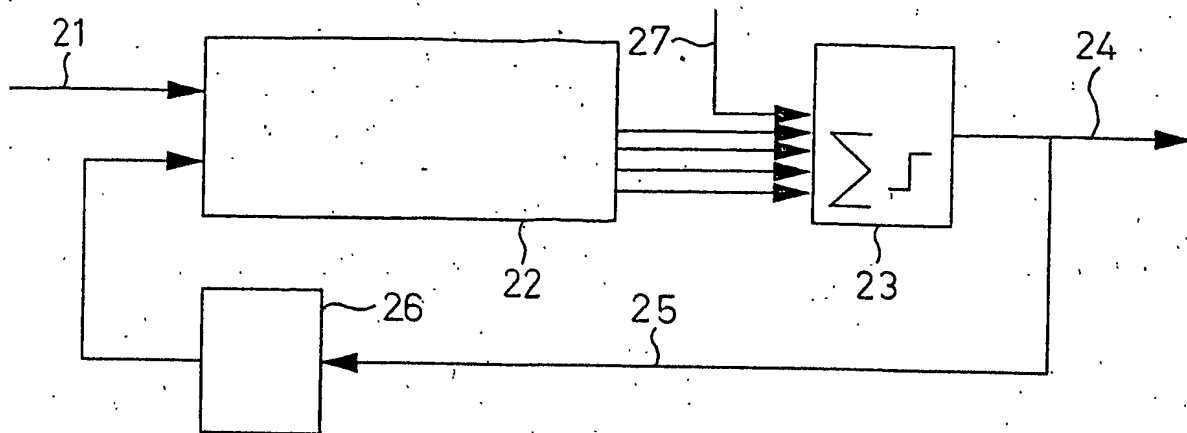


Fig. 1

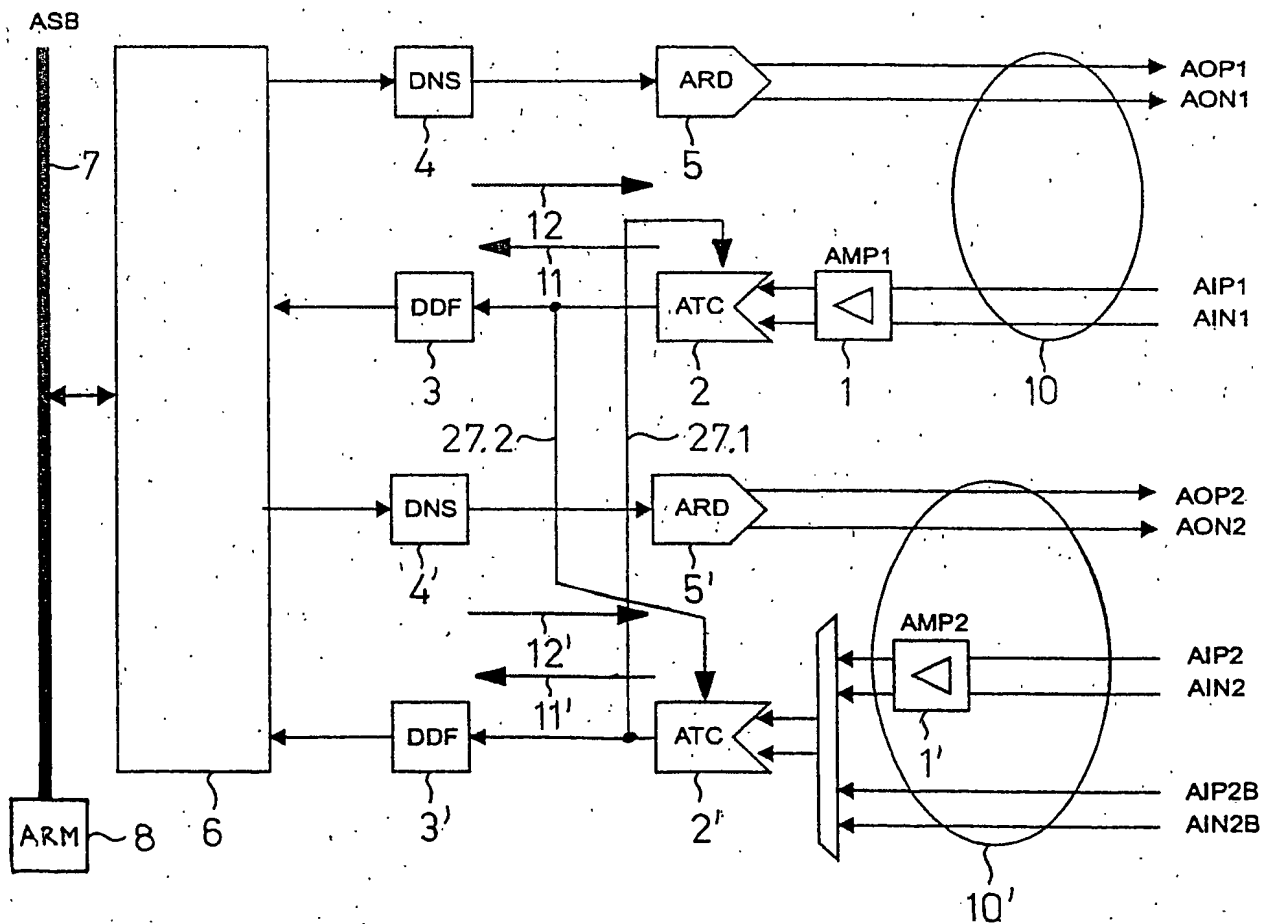


Fig. 2

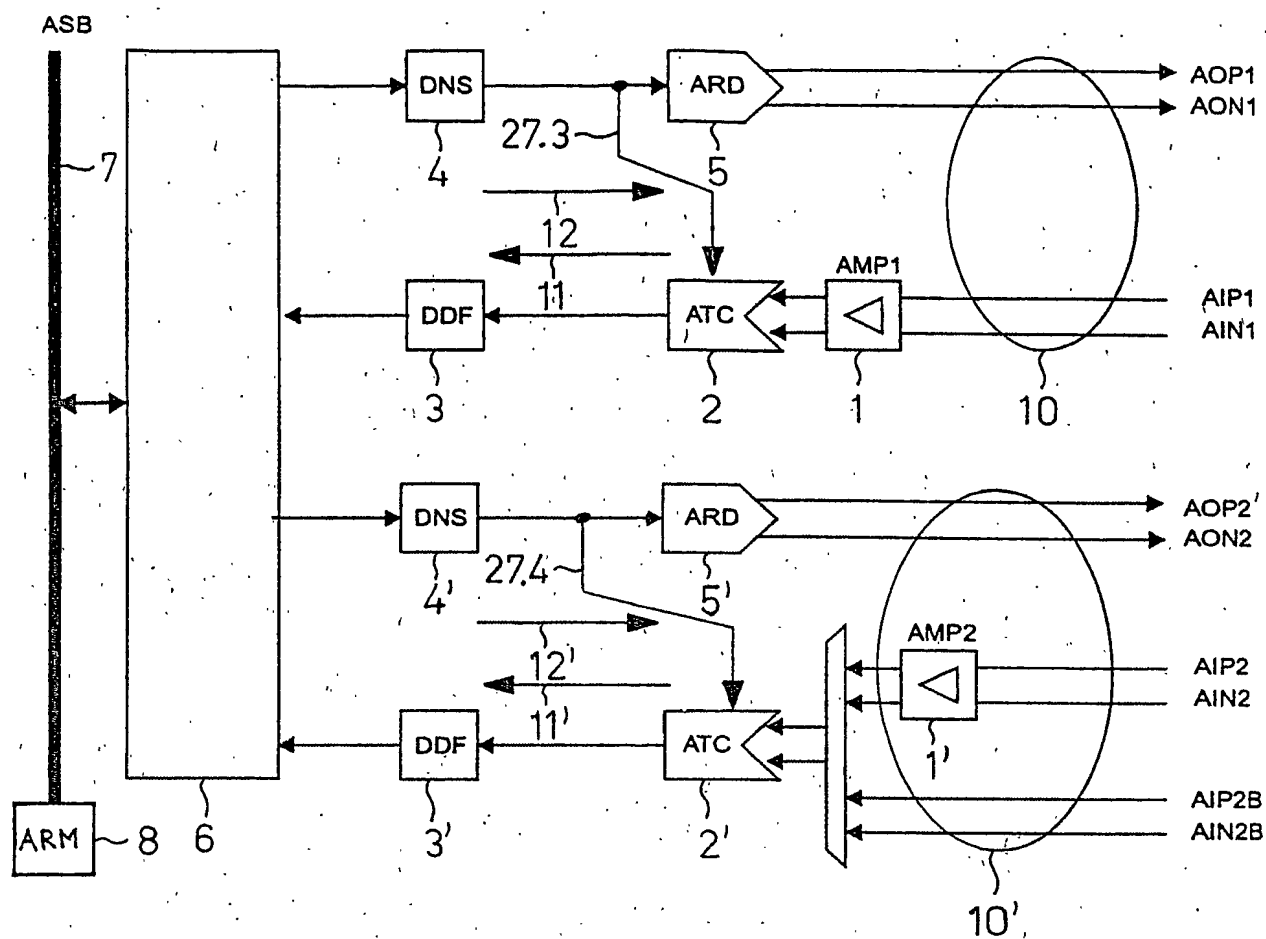


Fig. 3

## ZUSAMMENFASSUNG

Verfahren und Schaltungsanordnung zur Sigma-Delta-Wandlung mit reduzierten Leerlauf-tönen

Die Schaltungsanordnung weist einen Sigma-Delta-Wandler (2) zur Wandlung eines analogen Eingangssignals in ein digitales Ausgangssignal. Der Sigma-Delta-Wandler (2) beinhaltet ein Schleifenfilter, einen dahinter geschalteten Komparator und eine Rückkopplungsschleife zur Rückführung des Ausgangssignals zum Eingangssignal. Zur Reduktion von Leerlauf-tönen wird dem Komparator ein Zittersignal mittels einer Zittersignalleitung (27.1) zugeführt. Dieses wird jedoch nicht durch einen komplexen Zittersignalgenerator erzeugt. Statt dessen wird als Zittersignal ein in der Schaltung zur Verfügung stehendes, nicht eigens zu diesem Zweck erzeugtes Signal verwendet, z. B. ein Ausgangssignal eines zweiten Sigma-Delta-Wandlers (2'). Die Schaltungsanordnung ist somit einfacher und kostengünstiger als herkömmliche Schaltungsanordnungen, ohne Abstriche bei der Reduktion der Leerlauf-töne.

Figur 2

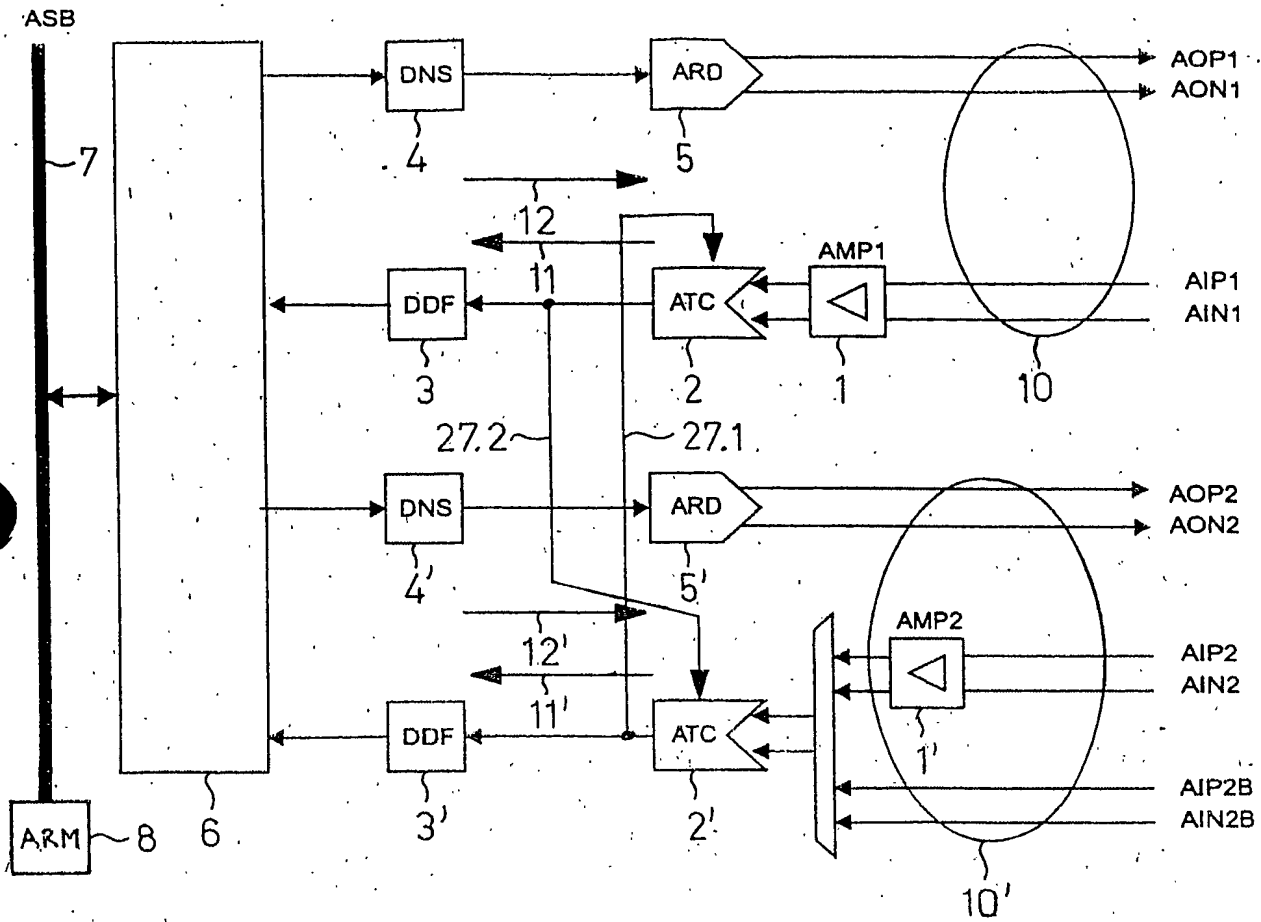


Fig. 2

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**